



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001284452 A**(43) Date of publication of application: **12.10.01**

(51) Int. Cl. **H01L 21/768**  
**H01L 21/28**  
**H01L 21/8234**  
**H01L 27/088**  
**H01L 27/108**  
**H01L 21/8242**

(21) Application number: **2001013795**(22) Date of filing: **22.01.01**(30) Priority: **17.03.00 KR 2000 200013702**(71) Applicant: **SAMSUNG ELECTRONICS CO LTD**(72) Inventor: **LEE JAE-GOO**  
**KO KANKYO**

(54) **METHOD FOR FORMING SELF-ALIGNED CONTACT STRUCTURE OF SEMICONDUCTOR DEVICE AND SELF-ALIGNED CONTACT STRUCTURE FORMED WITH IT**

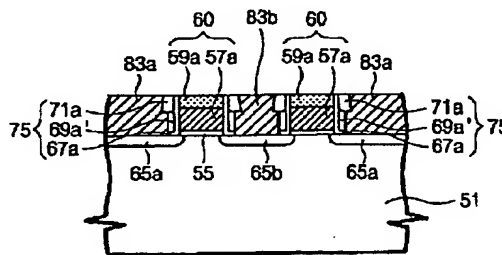
substrate.

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for forming a self-aligned contact structure and a self-aligned contact structure formed with the method.

**SOLUTION:** A method includes a step of forming wiring patterns mutually in parallel on a semiconductor substrate, and a step of forming a spacer with the upper part width wider than the lower, on a part of a side wall of the wiring pattern. The spacer includes an etching block liner covering the sidewall of the wiring pattern, and an upper spacer covering the upper part of the sidewall of the etching block liner. The spacer may also include a sacrificial isolation film residual substance covering the lower part of the sidewall of the etching block liner. The width of the sacrificial isolation film residual substance is narrower than that of the upper part of the spacer. An extended part of the etching block liner intervenes between the sacrificial isolation film residual substance and the semiconductor





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284452

(P2001-284452A)

(43) 公開日 平成13年10月12日 (2001.10.12)

| (51)Int.Cl. <sup>7</sup> | 識別記号    | F I     | テーマコード*(参考)   |
|--------------------------|---------|---------|---------------|
| H 0 1 L                  | 21/768  | H 0 1 L | 21/28 L       |
|                          | 21/28   |         | 21/90 D       |
|                          | 21/8234 |         | 27/08 1 0 2 D |
|                          | 27/088  |         | 27/10 6 8 1 F |
|                          | 27/108  |         |               |

審査請求 未請求 請求項の数31 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-13795(P2001-13795)

(22) 出願日 平成13年1月22日 (2001.1.22)

(31) 優先権主張番号 2 0 0 0 1 3 7 0 2

(32) 優先日 平成12年3月17日 (2000.3.17)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 宰求

大韓民国ソウル市瑞草区良在2洞270番地

(72) 発明者 高 寛協

大韓民国ソウル市瑞草区蛭院洞 (番地なし) 新盤浦9次エービーティ313棟403号

(74) 代理人 100064908

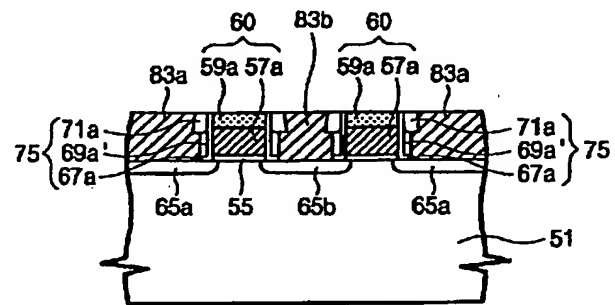
弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 半導体素子の自己整合コンタクト構造体の形成方法及びこれによって形成された自己整合コンタクト構造体

(57) 【要約】

【課題】 自己整合コンタクト構造体の形成方法及びこれによって形成された自己整合コンタクト構造体を提供する。

【解決手段】 半導体基板上に相平行した配線パターンを形成し、配線パターンの側壁の一部分に上部幅が下部幅より広いスペーサーを形成する。スペーサーは配線パターンの側壁を覆うエッチング阻止ライナーと、エッチング阻止ライナーの上部側壁を覆う上部スペーサーを含む。又、スペーサーはエッチング阻止ライナーの下部側壁を覆う犠牲絶縁膜残余物を含むこともできる。犠牲絶縁膜残余物の幅は上部スペーサーの幅より狭い。犠牲絶縁膜残余物と半導体基板の間にはエッチング阻止ライナーの延長部が介在される。



## 【特許請求の範囲】

【請求項1】 半導体基板上に相平行した複数の絶縁された配線パターンを形成する段階と、  
前記複数の配線パターンが形成された結果物の全面にエッチング阻止膜を形成する段階と、  
前記複数の配線パターンの間の下部ギャップ領域 (lower gap region) 内に前記エッチング阻止膜によって囲まれた犠牲絶縁膜パターンを形成する段階と、  
前記配線パターンの上部側壁 (upper sidewall) 及び前記犠牲絶縁膜パターンの縁側領域を覆う上部スペーサーを形成する段階と、  
前記上部スペーサーが形成された結果物の全面に層間絶縁膜を形成する段階と、  
前記エッチング阻止膜及び前記上部スペーサーをエッチングマスクとして使用して前記層間絶縁膜及び前記犠牲絶縁膜パターンをエッチングして、前記複数の配線パターンの間の所定領域を貫通するホールを形成する段階と、  
前記ホールによって露出された少なくとも前記犠牲絶縁膜パターンを等方性エッチングして前記ホールを拡張させる段階と、  
前記拡張させたホールの底に露出された前記エッチング阻止膜を除去して前記複数の配線パターンの間の所定領域を貫通する自己整合コンタクトホールを形成する段階とを含むことを特徴とする自己整合コンタクト構造体の形成方法。

【請求項2】 前記複数の絶縁された配線パターンを形成する段階は、  
半導体基板上に絶縁膜を形成する段階と、  
前記絶縁膜上に導電膜及び保護膜を順次に形成する段階と、  
前記保護膜及び前記導電膜を連続的にパターニングして、相平行した複数の配線及び各配線上に積層された複数の保護膜パターンを形成する段階とを含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項3】 前記保護膜はシリコン酸化膜に対してエッチング選択比を有するキャッピング絶縁膜及び前記キャッピング絶縁膜に対してエッチング選択比を有するハードマスク膜を順次に積層させて形成することを特徴とする請求項2に記載の自己整合コンタクト構造体の形成方法。

【請求項4】 前記エッチング阻止膜は前記キャッピング絶縁膜と同一な物質膜で形成することを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項5】 前記犠牲絶縁膜パターンを形成する段階は、  
前記エッチング阻止膜が形成された結果物の全面に前記複数の配線の間のギャップ領域を詰める犠牲絶縁膜を形成する段階と、

前記犠牲絶縁膜を全面エッチングして複数の配線パターンの間の下部ギャップ領域内の犠牲絶縁膜パターンを形成すると同時に、前記複数の配線パターンの上部面及び上部側壁上に前記エッチング阻止膜を露出させる段階とを含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項6】 前記犠牲絶縁膜は高密度プラズマ酸化膜 (high density plasma oxide; HDP oxide)、USG (undoped silicate glass) 又はプラズマTEOS膜 (plasma-enhanced tetra-ethyl-ortho-silicate) で形成することを特徴とする請求項5に記載の自己整合コンタクト構造体の形成方法。

【請求項7】 前記犠牲絶縁膜を全面エッチングする段階は等方性エッチング工程を使用して実施することを特徴とする請求項5に記載の自己整合コンタクト構造体の形成方法。

【請求項8】 前記エッチング阻止膜を形成する段階の前、又は後に、  
前記配線パターンの両側の半導体基板に低濃度不純物領域を形成する段階を含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項9】 前記上部スペーサーは前記エッチング阻止膜と同一な物質膜で形成することを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項10】 前記層間絶縁膜は前記犠牲絶縁膜パターンと同一な物質膜で形成することを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項11】 前記ホールを形成する段階は、  
前記層間絶縁膜上に前記層間絶縁膜の所定領域を露出させるフォトリスタパターンを形成する段階と、  
前記フォトリスタパターン、前記エッチング阻止膜及び上部スペーサーをエッチングマスクとして使用して前記層間絶縁膜及び前記犠牲絶縁膜パターンを連続的に異方性エッチングして、前記複数の配線パターンの間の所定領域を貫通するホールを形成する段階とを含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項12】 前記ホールを拡張させる段階は、  
前記ホールによって露出された前記犠牲絶縁膜パターン及び前記層間絶縁膜を等方性エッチングする段階と、  
前記フォトリスタパターンを除去する段階とを含むことを特徴とする請求項11に記載の自己整合コンタクト構造体の形成方法。

【請求項13】 前記ホールを拡張させる段階は、前記犠牲絶縁膜パターン及び前記層間絶縁膜を湿式エッチングして、前記上部スペーサーの下に上部スペーサーの幅より狭い犠牲絶縁膜残余物 (sacrificial insulating layer residue) を残る段階を含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項14】 前記自己整合コンタクトホールを形成

する段階の後に、  
前記自己整合コンタクトホールが形成された結果物の全面に前記自己整合コンタクトホールを詰める導電膜を形成する段階と、

前記配線パターンの上表面が露出される時まで、前記導電膜及び前記層間絶縁膜を化学機械的研磨工程を使用して全面エッチングして、前記自己整合コンタクトホール内に導電性パッドを形成する段階とを含むことを特徴とする請求項1に記載の自己整合コンタクト構造体の形成方法。

【請求項15】 メモリセル領域及び周辺回路領域を有する半導体記憶素子の自己整合コンタクト構造体の形成方法において、

半導体基板の所定領域に活性領域を限定する素子分離膜を形成する段階と、

前記メモリセル領域の活性領域を横切り、相平行した複数のワードラインパターン及び前記周辺回路領域の活性領域を横切るゲートパターンを形成する段階と、

前記ワードラインパターン及び前記ゲートパターンが形成された結果物の全面にエッチング阻止膜を形成する段階と、

前記ワードラインパターンの間の下部ギャップ領域を詰める第1犠牲絶縁膜パターン及び前記ゲートパターンの周辺領域を覆う第2犠牲絶縁膜パターン形成する段階と、

前記ワードラインパターンの上部側壁及び前記ゲートパターンの上部側壁上に各々第1上部スペーサー及び第2上部スペーサー形成する段階と、

前記第2上部スペーサーをエッチングマスクとして使用して前記周辺回路領域内の前記第2犠牲絶縁膜パターン及び前記エッチング阻止膜を連続的に異方性エッチングして、前記ゲートパターンの側壁上に選択的にスペーサーを形成する段階と、

前記スペーサーが形成された全面に層間絶縁膜を形成する段階と、

前記第1上部スペーサーをエッチングマスクとして使用して前記メモリセル領域内の前記層間絶縁膜の所定領域及び前記第1犠牲絶縁膜パターンを連続的にエッチングして、前記ワードラインパターンの間の所定領域を貫通するホールを形成する段階と、

前記ホールによって露出された前記第1犠牲絶縁膜パターン及び前記層間絶縁膜を等方性エッチングして前記ホールを拡張させる段階と、

前記拡張されたホールの底に露出された前記エッチング阻止膜を除去して、前記ワードラインパターンの間の所定領域を貫通する自己整合コンタクトホールを形成する段階とを含むことを特徴とする自己整合コンタクト構造体の形成方法。

【請求項16】 前記複数のワードラインパターン及び前記ゲートラインパターンを形成する段階は、

前記活性領域上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜が形成された結果物の全面に導電膜及び保護膜を順次に形成する段階と、

前記保護膜及び前記導電膜を連続的にパターニングして前記メモリセル領域の活性領域を横切る複数のワードライン及び前記周辺回路領域の活性領域を横切るゲート電極を形成すると同時に、前記ワードラインパターン及び前記ゲート電極上に積層された保護膜パターンを形成する段階とを含むことを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

10

【請求項17】 前記保護膜は、シリコン窒化膜の単一層(a single layer of silicon nitride)又はシリコン窒化膜及びシリコン酸化膜の二重層(a double layer of silicon nitride and silicon oxide)で形成することを特徴とする請求項16に記載の自己整合コンタクト構造体の形成方法。

【請求項18】 前記エッチング阻止膜はシリコン窒化膜で形成することを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

20

【請求項19】 前記第1犠牲絶縁膜パターン及び前記第2犠牲絶縁膜パターンを形成する段階は、

前記エッチング阻止膜が形成された結果物の全面に前記複数のワードラインパターンの間のギャップ領域を詰める犠牲絶縁膜を形成する段階と、

前記犠牲絶縁膜を全面エッチングして前記複数のワードラインパターンの間の下部ギャップ領域内の1犠牲絶縁膜パターンを形成すると同時に、前記ゲートパターンの周辺に1犠牲絶縁膜パターンを形成する段階とを含むことを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

30

【請求項20】 前記犠牲絶縁膜は高密度プラズマ酸化膜、USG又はプラズマTEOS膜で形成することを特徴とする請求項19に記載の自己整合コンタクト構造体の形成方法。

【請求項21】 前記第1及び第2上部スペーサーは、シリコン窒化膜で形成することを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

【請求項22】 前記層間絶縁膜は、高密度プラズマ酸化膜、USG又はプラズマTEOS膜で形成することを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

40

【請求項23】 前記ホールを拡張させる段階は、前記第1犠牲絶縁膜パターン及び前記層間絶縁膜を湿式エッチングして、前記第1上部スペーサーの下に前記第1上部スペーサーの幅より狭い犠牲絶縁膜残余物を残る段階を含むことを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

【請求項24】 前記自己整合コンタクトホールを形成する段階の後に、

50 前記自己整合コンタクトホールが形成された結果物の全

面に前記自己整合コンタクトホールを詰める導電膜を形成する段階と、

前記ワードラインパターンの上表面が露出される時まで、前記導電膜及び前記層間絶縁膜を化学機械的研磨工程を使用して全面エッチングして、前記自己整合コンタクトホール内に導電性パッドを形成する段階とを含むことを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

【請求項25】 前記エッチング阻止膜を形成する段階の前又は後に、

前記配線パターンの両側の活性領域及び前記ゲートパターンの両側の活性領域に低濃度不純物領域を形成する段階を含むことを特徴とする請求項15に記載の自己整合コンタクト構造体の形成方法。

【請求項26】 前記層間絶縁膜を形成する段階の前に、前記ゲートパターンの両側の低濃度不純物領域に高濃度不純物領域を形成する段階を含むことを特徴とする請求項25に記載の自己整合コンタクト構造体の形成方法。

【請求項27】 半導体基板上に形成され、相平行した複数の絶縁された配線パターン、前記各配線の間の所定領域を貫通し、前記半導体基板と電気的に接続された導電性パッド、前記導電性パッド及びその両側の前記配線の間に介在されたスペーサーを含み、前記スペーサーの下部幅は上部幅より狭いことを特徴とする自己整合コンタクト構造体。

【請求項28】 前記配線パターンは、順次に積層された配線及び保護膜パターンを含むことを特徴とする請求項27に記載の自己整合コンタクト構造体。

【請求項29】 前記スペーサーは、前記配線パターンの側壁上に形成されたエッチング阻止ライナー及び前記エッチング阻止ライナーの上部側壁上に形成された上部スペーサーを含むことを特徴とする請求項27に記載の自己整合コンタクト構造体。

【請求項30】 前記エッチング阻止ライナーの下部側壁及び前記導電性パッドの間に介在された犠牲絶縁膜残余物を含み、前記犠牲絶縁膜残余物は、前記上部スペーサーより狭い幅を有することを特徴とする請求項29に記載の自己整合コンタクト構造体。

【請求項31】 前記犠牲絶縁膜残余物及び前記半導体基板の間に前記エッチング阻止ライナーの延長部が介在されることを特徴とする請求項30に記載の自己整合コンタクト構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法及びこれによって製造された半導体素子に係り、より詳細には、自己整合コンタクト構造体の形成方法及びこれによって製造された自己整合コンタクト構造体に関す

るものである。

【0002】

【従来の技術】半導体素子の集積度の増加に従って、配線の幅及び配線の間の隔たりが次第に狭くなる。従って、配線の間の所定領域を貫通するコンタクトホールを形成するための写真工程（photolithographic process）を実施するうち、整合余裕度の増加のために自己整合コンタクト技術が提案されたことがある。

【0003】図1はDRAM素子のセルアレイ領域の一部分を示すレイアウトである。

【0004】図1を参照すると、半導体基板に複数の活性領域1が形成される。複数の活性領域1はX軸及びY軸に沿って反復的に配置される。各活性領域1を横切る複数のワードラインパターン3が相平行に配置される。一つの活性領域1は二つのワードラインパターン3と交差する。各活性領域1の片側には自己整合されたパッドコンタクトホールを限定するためのバー（bar）形態のコンタクトパターン5が配置される。コンタクトパターン5によって覆われる領域は自己整合されたパッドコンタクトホールを形成するためのエッチングマスク即ち、フォトリソスタパターンによって覆われる領域である。

【0005】図2、図3、図4、図5、図7は従来の自己整合コンタクト構造体の形成方法を説明するための断面図ある。各図において、参照符号“A”及び“B”で表示された部分はDRAM素子のメモリセル領域及び周辺回路領域を示す。図2、図3、図4A、図5、図7のメモリセル領域Aは図1のI-Iによる断面図であり、図4Bは図1のII-IIによる断面図である。周辺回路領域Bは説明の便利のためにNMOSトランジスタ領域だけを示す。

【0006】図2を参照すると、半導体基板11の所定領域に活性領域を限定する素子分離膜13を形成する。素子分離膜13が形成された結果物の全面に、ゲート酸化膜15、導電膜、キャッピング絶縁膜、ハードマスク膜を順次に形成する。キャッピング絶縁膜及びハードマスク膜は各々シリコン窒化膜及びシリコン酸化膜で形成する。ハードマスク膜、キャッピング絶縁膜及び導電膜を連続的にパターニングして、メモリセル領域Aの活性領域及び素子分離膜13の上部を横切る複数のワードラインパターン23aを形成すると同時に、周辺回路領域Bの活性領域を横切るゲートパターン23bを形成する。これによって、各々のワードラインパターン23aは順次に積層されたワードライン17a、キャッピング絶縁膜パターン19及びハードマスクパターン21で構成される。これと同様に、各々のゲートパターン23bは順次に積層されたゲート電極17b、キャッピング絶縁膜パターン19及びハードマスクパターン21で構成される。

【0007】ワードラインパターン23a、ゲートパターン23b及び素子分離膜13をイオン注入マスクとして使用して、活性領域にN型不純物を注入して、低濃度不

純物領域24、24a、24bを形成する。これによって、メモリセル領域A内の一つの活性領域に三つの低濃度不純物領域24a、24bが形成される。活性領域の中心部に形成された不純物領域24bは共通ドレイン領域に該当し、共通ドレイン領域24bの両側に形成された低濃度不純物領域24aはソース領域に該当する。

【0008】図3を参照すると、低濃度不純物領域24、24a、24bが形成された結果物の全面にシリコン窒化膜を形成した後、シリコン窒化膜を異方性エッチングして、ワードラインパターン23a及びゲートパターン23bの側壁上にスペーサー25を形成する。ゲートパターン23b、スペーサー25及び素子分離膜13をイオン注入マスクとして使用して、周辺回路領域Bに選択的にN型不純物を $1 \times 10^{11}$ 乃至 $5 \times 10^{11}$  ion atom/cm<sup>2</sup>の高注入量(Dose)で注入して、ゲートパターン24bの両側にLDD型ソース/ドレイン領域26を形成する。

【0009】LDD型ソース/ドレイン領域26が形成された結果物の全面にエッチング阻止膜27を形成する。エッチング阻止膜27は後続工程で形成された層間絶縁膜に対してエッチング選択比を有する絶縁体膜、例えばシリコン窒化膜で形成する。エッチング阻止膜27が形成された結果物の全面に、ワードラインパターン23aの間のギャップ領域を完全に詰める層間絶縁膜29を形成する。層間絶縁膜29は800℃以下の低温で形成することが望ましい。これは高集積半導体素子に適当な単チャンネルMOSトランジスタの特性が低下される現象を防止するためである。言い換えれば、層間絶縁膜29を850℃乃至950℃の高温でリブローされるBPSG膜等で形成する場合には、メモリセル領域A内の低濃度不純物領域24a、24b及び周辺回路領域B内のソース/ドレイン領域26が再拡散されて、トランジスタのチャンネル長さを減少させるためである。従って、層間絶縁膜29は800℃以下の低温でギャップ領域をボイド(void)なしに、完全に詰め得る物質膜、例えば高密度プラズマ酸化膜(HDP oxide)で形成することが望ましい。

【0010】しかし、層間絶縁膜29を高密度プラズマ酸化膜で形成する場合に、ワードラインパターン23aの間のギャップ領域を完全に詰めるためには高密度プラズマ装置の電力を増加させなければならない。この際、エッチング阻止膜27が薄い厚み、例えば200Å以下の薄い厚みを有すると、高密度プラズマ工程で使用される反応ガス(reacting gas)がエッチング阻止膜27及び半導体基板11の間の界面に浸透して、エッチング阻止膜27が浮く現象が発生する。従って、エッチング阻止膜27は少なくとも200Åより厚い厚みに形成しなければならない。しかし、エッチング阻止膜27の厚みが増加すれば、後続工程で形成される自己整合コンタクトホール下部幅は減少する。従って、エッチング阻

止膜27の厚みを最適化させにくい。

【0011】又、層間絶縁膜29を高密度プラズマ酸化膜で形成し、高密度プラズマ酸化膜を平坦化させても、図3に示されたように、メモリセル領域A及び周辺回路領域Bの間にS1(global step difference)が発生する。より詳しくは、メモリセル領域Aの層間絶縁膜29の表面が周辺回路領域Bの層間絶縁膜29より低い。これは高密度プラズマ酸化膜を形成するメカニズムに起因する。即ち、高密度プラズマ工程は交替に、反復的に実施されるスパッタリングエッチング工程及び蒸着工程によって実施される。この際、スパッタリングエッチング工程は平らな領域よりはむしろ突出部のコーナー部分をエッチングする特性が優秀である。従って、高密度プラズマで層間絶縁膜29を形成する場合に、高パターン密度のメモリセル領域A上に相対的に薄い厚みの層間絶縁膜が形成される。

【0012】図4を参照すると、図1のコンタクトパターン5が描かれたフォトマスクを使用して、メモリセル領域A内の層間絶縁膜29の所定領域を異方性エッチングする。続けて、エッチング阻止膜27をエッチングして、メモリセル領域Aのソース領域24a及び共通ドレイン領域24bを露出させる自己整合パッドコンタクトホールH1、H2を形成する。この際、図3の前述のように、自己整合パッドコンタクトホールH1、H2の下部側壁上にエッチング阻止膜残余物(etch stop layer residues; 27a)が残ることができる。エッチング阻止膜27の厚みが増加するほど、エッチング阻止膜残余物27aの幅は増加する。従って、エッチング阻止膜27の厚みを増加させれば自己整合されたパッドコンタクトホールH1、H2によって露出されるソース領域24a及び共通ドレイン領域24bの面積は減少する。結果的に、ワードラインパターン23aと活性領域の間のアライメントマージン(alignment margin)が減少する結果を招来する。

【0013】一方、図1のコンタクトパターン5が描かれたフォトマスクを使用して、自己整合パッドコンタクトホールH1、H2を限定するための写真工程を実施するうち、図1のX軸に沿って誤整合が発生する場合に、図4Bに示されたように、ソース領域24aと隣接した素子分離膜13が自己整合パッドコンタクトホールH1によって露出させることができる。この際、自己整合されたパッドコンタクトホールH1、H2によって露出されるソース領域24a及び共通ドレイン領域24bの面積を増加させるために層間絶縁膜29を等方性エッチングすれば、露出された素子分離膜13の縁側部分Rが凹んで、ソース領域24aの側壁が露出される。従って、後続工程で自己整合されたパッドコンタクトホールH1を詰める導電性パッドと半導体基板11の間に流れる接合漏洩電流が増加する。

【0014】図5を参照すると、自己整合されたパッドコンタクトホールH1、H2が形成された結果物の全面に導



電膜 31、例えばポリシリコン膜を形成する。この際、導電膜 31 の上部表面もやはりメモリセル領域 A 及び周辺回路 B の間に段差 S1 を示す。

【0015】図 6 を参照すると、メモリセル領域 A のワードラインパターン 23a の上部面が露出される時まで、導電膜 31 及び層間絶縁膜 29 を化学機械的研磨工程を使用して全面エッチングする。この際、図 6 に示されたように、周辺回路領域 B と隣接したワードラインパターン 23a の上部面が露出される前にメモリセル領域 A の中心部に近いワードラインパターン 23a の上部面が先に露出される。これは、図 3 に示された層間絶縁膜 29 の SI 及び化学機械的研磨工程の Dishing 現象に起因するためである。従って、メモリセル領域 A の縁側部分のワードラインパターン 23a の上部面を完全に露出させて、自己整合されたパッドコンタクトホール H1、H2 内に電氣的に隔離された導電性パッド 31a、31b を形成する場合に、メモリセル領域 A の中心部のワードライン 17a が図 7 に示されたように露出されることが出来る。

【0016】図 7 を参照すると、導電性パッド 31a、31b が形成された結果物の全面に上部層間絶縁膜 33 を形成する。上部層間絶縁膜 33 をパターンニングしてソースとして、ソース領域 24a と接触する導電性パッド 31a を露出させる貯蔵 (storage) ノードコンタクトホール 35 を形成する。この際、貯蔵ノードコンタクトホール 35 が誤整合された場合に、図 7 に示されたようにワードライン 17a が露出される。

【0017】前述のような従来の技術によると、MOS トランジスタの単チャンネル現象を改善しにくいし、エッチング阻止膜の厚みを最適化させにくい。又、自己整合されたパッドコンタクトホールによって露出される半導体基板の面積を極大化させにくい。従って、パッドコンタクト抵抗を減少させにくい。又、活性領域とワードラインパターンとの間の誤整合余裕度を増加させにくいし、導電性パッド及び貯蔵ノードコンタクトホールの間の誤整合余裕度もやはり増加させにくい。

【0018】

【発明が解決しようとする課題】本発明の目的は、MOS トランジスタの単チャンネル現象の改善に適当な低温工程を具現させ得る自己整合コンタクト構造体の形成方法を提供することにある。

【0019】本発明の他の目的は、自己整合コンタクト抵抗を減少させ得る自己整合コンタクト構造体の形成方法を提供することにある。

【0020】本発明のさらに他の目的は、整合余裕度を増加させ得る自己整合コンタクト構造体の形成方法を提供することにある。

【0021】本発明のさらに他の目的は、信頼性を有する自己整合コンタクト構造体を提供することにある。

【0022】

【課題を解決するための手段】本発明の目的と特徴は、

半導体素子の自己整合コンタクト構造体の形成方法及びこれによって製造された自己整合コンタクト構造体によって提供され得る。このような方法及び構造体は、相平行した複数の配線パターンの側壁上にアンダーカット領域を有するスペーサーを形成して、自己整合コンタクト抵抗及び誤整合余裕度を改善させる。又、このような方法及び構造体は、低温で形成することが可能な絶縁体膜を使用して MOS トランジスタの単チャンネル現象を改善させる。

【0023】本発明の一態様 (one aspect) によると、このような方法は半導体基板上に相平行した複数の配線パターンを形成する段階と、複数の配線パターンの上部面及び側壁は勿論半導体基板の表面を覆うエッチング阻止膜を形成する段階と、複数の配線パターンの間の下部ギャップ領域を詰める犠牲絶縁膜パターンを形成する段階とを含む。次に、配線パターンの上部側壁及び犠牲絶縁膜パターンの縁側領域を覆う上部スペーサーを形成する。上部スペーサーが形成された結果物の全面に上部スペーサーの間の上部ギャップ領域を詰める層間絶縁膜を形成する。上部スペーサー及びエッチング阻止膜をエッチングマスクとして使用して層間絶縁膜及び犠牲絶縁膜パターンを連続的に異方性エッチングして、複数の配線パターンの間の所定領域を貫通するホールを形成する。ホールによって露出された犠牲絶縁膜パターン及び層間絶縁膜を等方性エッチングして、ホールを拡張させる。この際、上部スペーサーの下に上部スペーサーより狭い幅を有する犠牲絶縁膜の残余物が残ることもできる。続けて、拡張されたホールの底に露出されたエッチング阻止膜を除去して、配線パターンの間の半導体基板の所定領域を露出させる自己整合コンタクトホールを形成する。

【0024】本発明の実施形態によると、メモリセル領域及び周辺回路領域を有する半導体記憶素子の自己整合コンタクト構造体の形成方法は、半導体基板の所定領域に活性領域を限定する素子分離膜を形成する段階と、メモリセル領域の活性領域を横切る複数のワードラインパターン及び周辺回路領域の活性領域を横切るゲートパターンを形成する段階を含む。続けて、ワードラインパターンの表面、ゲートパターンの表面及び半導体基板の表面を覆うエッチング阻止膜を形成する。ワードラインパターンの間の下部ギャップ領域を詰める第 1 犠牲絶縁膜パターン及びゲートパターンの周辺領域を覆う第 2 犠牲絶縁膜パターンを形成する。ワードラインパターンの上部側壁及びゲートパターンの側壁上に各第 1 上部スペーサー及び第 2 上部スペーサーを形成する。

【0025】続けて、第 2 上部スペーサーをエッチングマスクとして使用して、周辺回路領域内の第 2 犠牲絶縁膜パターン及びエッチング阻止膜を連続的に異方性エッチングして、ゲートパターンの側壁上にスペーサーを形成する。スペーサーが形成された結果物の全面に層間絶



縁膜を形成する。第1上部スペーサーをエッチングマスクとして使用してメモリセル領域内の層間絶縁膜及び第1犠牲絶縁膜パターンを連続的に異方性エッチングして、ワードラインパターンの間の所定領域を貫通するホールを形成する。ホールによって露出された第1犠牲絶縁膜パターン及び層間絶縁膜を等方性エッチングして、ホールを拡張させる。第1犠牲絶縁膜パターン及び層間絶縁膜は800℃以下の低温で形成することが可能であり、ギャップ領域を詰める特性の優秀な絶縁体膜、例えば高密度プラズマ酸化膜で形成することが望ましい。ホールの底に露出されたエッチング阻止膜を除去して、ワードラインパターンの間の半導体基板の所定領域を露出させる自己整合コンタクトホールを形成する。

【0026】本発明の他の態様(another aspect)によると、自己整合コンタクト構造体は、半導体基板上に形成された複数の絶縁された配線パターンと、配線パターンの間の所定領域を貫通し、半導体基板と電気的に接続された導電性パッドと、導電性パッド及びこの両側の配線パターンの間に介在されたスペーサーとを含む。スペーサーの下部幅は上部幅より狭い。

【0027】

【発明の実施の形態】以下、本発明の望ましい実施形態を添付した図面を参照して詳細に説明する。しかし、本発明はここで説明される実施形態だけに限定されないで、他の形態で具体化されることもできる。むしろ、ここで紹介される実施形態は、本発明の内容が徹底で、完全になるように、そして、当業者に本発明が十分に伝達されるようにするために提供されるものである。図面において、層及び領域の厚みは明確性のために誇張されたものである。又、層が他の層又は基板上にあるといわれる場合に、それは他の層又は基板上に直接に形成されることもでき、又は、それらの間の第3の層に介在されることもできる。明細書の全体において、同一な参照番号は同一な構成要素を示す。

【0028】まず、図8乃至図13、図14A、図15A、図16A、図17A、図14B、図15B、図16B、図17Bを参照して、本発明による自己整合コンタクト構造体の形成方法を説明する。各々の図において、参照符号“A”及び“B”で表示した部分は各々DRAMセル領域及び周辺回路領域を示す。又、図8乃至図13と図14A、図15A、図16A、図17Aのメモリセル領域Aは、図1のI-Iによる断面図であり、図14B、図15B、図16B、図17Bは、図1のII-IIによる断面図である。周辺回路領域Bは説明の便利のためにNMOSTランジスター領域だけを示す。

【0029】図8を参照すると、P型シリコン基板のような半導体基板51の所定領域に活性領域を限定する素子分離膜53を形成する。素子分離膜53は図1の活性領域パターン1が描かれたフォトマスクを使用して形成する。又、素子分離膜53は普通の素子分離技術、例え

はLOCOS技術又はトレンチ素子分離技術を使用して形成する。素子分離膜53が形成された結果物の全面にゲート絶縁膜55を形成する。ゲート絶縁膜55は普通の熱酸化工程を使用して形成し得る。ゲート絶縁膜55が形成された結果物の全面に導電膜57及び保護膜を順次に形成する。保護膜はキャッピング絶縁膜及びハードマスク膜を順次に積層させて形成することが望ましい。他の方法として、保護膜はキャッピング絶縁膜だけで形成することもできる。導電膜57はポリシリコン膜又は金属ポリサイド膜で形成する。又、キャッピング絶縁膜は層間絶縁膜として広く使用されるシリコン酸化膜に対してエッチング選択比を有する絶縁体膜、例えばシリコン窒化膜で形成することが望ましいし、ハードマスク膜はキャッピング絶縁膜に対してエッチング選択比を有する絶縁体膜、例えばシリコン酸化膜で形成することが望ましい。

【0030】保護膜上に図1のワードラインパターン3が描かれたフォトマスクを使用して、第1フォトレジスタパターン63を形成する。第1フォトレジスタパターン63は周辺回路領域Bの所定領域を覆うフォトレジスタパターンを含む。第1フォトレジスタパターン63をエッチングマスクとして使用して、保護膜をエッチングする。これによって、導電膜57の所定領域上に保護膜パターンが形成される。保護膜パターンは順次に積層されたキャッピング絶縁膜パターン59a、59b及びハードマスクパターン61a、61bを含む。メモリセル領域A内の保護膜パターンは相平行に形成される。

【0031】図9を参照すると、第1フォトレジスタパターン63を除去した後、ハードマスクパターン61a、61bをエッチングマスクとして使用して、導電膜57をエッチングする。その結果、メモリセル領域Aの活性領域を横切る平行したワードライン59aが形成され、周辺回路領域Bの活性領域を横切るゲート電極59bが形成される。この際、ワードライン59aの間の半導体基板及びゲート電極59bの周辺の半導体基板上にゲート絶縁膜の一部が残存することもできる。メモリセル領域A内に順次に積層されたワードライン57aと、キャッピング絶縁膜パターン59a及びハードマスクパターン61aはワードラインパターン62aを構成する。これと同様に、周辺回路領域B内に順次に積層されたゲート電極57bと、キャッピング絶縁膜パターン59b及びハードマスクパターン61bはゲートパターン62bを構成する。

【0032】ワードラインパターン62a及びゲートパターン62bをイオン注入マスクとして使用して、活性領域内にリン(phosphor)のようなN型不純物イオンを $1 \times 10^{11}$ 乃至 $5 \times 10^{14}$  ion atoms/cm<sup>2</sup>の低注入量(Dose)で注入して、低濃度不純物領域65、65a、65bを形成する。その結果、メモリセル領域A内の活性領域には、図9に示されたように三つの低濃度不純物領域6

5a、65bが形成される。活性領域の中心部に形成された低濃度不純物領域65bは一つのペアのセルトランジスターの共通ドレイン領域に該当し、共通ドレイン領域の両側に形成された低濃度不純物領域65aは一つのペアのセルトランジスターのソース領域に該当する。

【0033】低濃度不純物領域65、65a、65bが形成された結果物の全面にエッチング阻止膜67を形成する。エッチング阻止膜67はキャッピング絶縁膜パターン59a、59bと同一な物質膜、即ち、シリコン窒化膜で形成することが望ましい。又、エッチング阻止膜67は後続工程で形成される犠牲絶縁膜を高密度プラズマ酸化膜で形成する場合に、エッチング阻止膜67が浮く現象を抑制するために、200Å乃至100Åの厚みで形成することが望ましい。エッチング阻止膜67を従来技術に比べて、厚く形成しても本発明による自己整合コンタクト抵抗及び誤整合余裕度は従来技術に比べて改善されることが出来る。これはワードラインパターン62aの間の半導体基板の所定領域を露出される自己整合コンタクトホール下部幅が従来技術のものより広いためである。他の方法として、低濃度不純物領域65、65a、65bを形成するためのイオン注入工程はエッチング阻止膜67を形成した後に、実施されることが出来る。

【0034】図10を参照すると、エッチング阻止膜67が形成された結果物の全面に、ワードラインパターン62aの間のギャップ領域を完全に詰める犠牲絶縁膜69を形成する。犠牲絶縁膜69は800°C以下の低温で形成することができ、ワードラインパターン62aの間のギャップ領域を完全に詰め得る絶縁膜で形成する。従って、犠牲絶縁膜69は高密度プラズマ酸化膜、プラズマTEOS膜又はUSG(undoped silicate glass)等で形成することが望ましい。より望ましくは、犠牲絶縁膜69は高密度プラズマ酸化膜で形成する。これによって、低濃度不純物領域65、65a、65bが追加に拡散されることを防止することができる。又、高密度プラズマ工程は狭く深いギャップ領域をボイドなしに完全に詰める物質膜を提供する。従って、犠牲絶縁膜69を高密度プラズマ酸化膜で形成する場合に、メモリセル領域A内にボイドのない犠牲絶縁膜(void-free sacrificial insulating layer; 69)を形成することが出来る。

【0035】図11を参照すると、犠牲絶縁膜69を全面エッチングして、ワードラインパターン62aの間の下部ギャップ領域(lower gap regions)内に第1犠牲絶縁膜パターン69aを形成する。犠牲絶縁膜69を全面エッチングする工程は等方性エッチング工程、例えば湿式エッチング工程を使用して実施することが望ましい。その結果、図11に示されたように、ワードラインパターン62aの上部面及び上部側壁上のエッチング阻止膜67が露出され、周辺回路領域Bにゲートパターン62bの上部面及び上部側壁上のエッチング阻止膜67を露出させる第2犠牲絶縁膜パターン69bが形成され

る。この際、犠牲絶縁膜67を高密度プラズマ酸化膜で形成する場合に、第1犠牲絶縁膜パターン69aの表面は第2犠牲絶縁膜パターン69bの表面より低くすることができる。これは高密度プラズマ工程の実施のうち、スパッタリングエッチング工程及び蒸着工程が交替に反復的に実施されるためである。言い換えれば、スパッタリングエッチング工程の進行のうち、突出部のコーナ部分が平らな部分よりさらに早くエッチングされるためである。従って、高パターン密度の領域(メモリセル領域)上に形成される高密度プラズマ酸化膜の厚みは低パターン密度の領域(周辺回路領域)上に形成される高密度プラズマ酸化膜の厚みより薄い。その次に、第1及び第2犠牲絶縁膜パターン69a、69bが形成された結果物の全面にコンフォーマルスペーサー絶縁膜71を形成する。スペーサー絶縁膜71はエッチング阻止膜67と同一な物質膜、即ちシリコン窒化膜で形成することが望ましい。

【0036】図12を参照すると、スペーサー絶縁膜71を異方性エッチングして、ワードラインパターン62aの上部側壁及びゲートパターン62bの上部側壁上に各第1上部スペーサー71a及び第2上部スペーサー71bを形成する。その次に、メモリセル領域Aを覆う第2フォトレジスタパターン73を形成する。

【0037】図13を参照すると、図12の第2フォトレジスタパターン73をエッチングマスクとして使用して周辺回路領域Bの第2犠牲絶縁膜パターン69b及びエッチング阻止膜67を連続的に異方性エッチングして、ゲートパターン62bの側壁上にスペーサー75を形成する。スペーサー75は図13に示されたように、ゲートパターン62b上に残存するエッチング阻止ライナー67aと、エッチング阻止ライナー67aの上部側壁上に形成された第2上部スペーサー71b及びエッチング阻止ライナー67aの下部側壁上に残存する第2犠牲絶縁膜残余物69b'を含む。

【0038】続けて、スペーサー75及びゲートパターン62bをイオン注入マスクとして使用して、周辺回路領域Bにヒ素(Arsenic)イオンのようなN型不純物イオンを $1 \times 10^{14}$ 乃至 $5 \times 10^{16}$  ion atoms/cm<sup>2</sup>の高注入量で注入して、高濃度不純物領域77を形成する。これによって、ゲートパターン62bの両側の活性領域にLDD型ソース/ドレイン領域78が形成される。その次に、フォトレジスタパターン73を除去する。

【0039】フォトレジスタパターン73が除去された結果物の全面に層間絶縁膜79を形成する。層間絶縁膜79は図10の犠牲絶縁膜69と同一な物質膜で形成することが望ましい。これによって、低濃度不純物領域65a、65b及びLDD型ソース/ドレイン領域78内の不純物が追加に拡散される現象を防止することができる。層間絶縁膜79は必要によって平坦化される。一方、層間絶縁膜79の表面は図13に示されたように、

メモリセル領域A及び周辺回路領域Bの間の段差(S2)を有することができる。より詳しくは、メモリセル領域Aの層間絶縁膜79の表面は周辺回路領域Bの層間絶縁膜79の表面より高くすることもできる。これはワードラインパターン62aの間のギャップ領域内に第1犠牲絶縁膜パターン69aが残存するためである。本発明では、メモリセル領域Aの層間絶縁膜79の表面は周辺回路領域Bの層間絶縁膜79の表面より高いことが望ましい。

【0040】図14を参照すると、層間絶縁膜79上に図1のコンタクトパターン5が描かれたフォトマスクを使用して、第3フォトレジスタパターン80を形成する。この際、周辺回路領域Bは第3フォトレジスタパターン80によって覆われる。第3フォトレジスタパターン80、第1上部スペーサー71a及びエッチング67をエッチングマスクとして使用して層間絶縁膜79を異方性エッチングして、ワードラインパターン62aの間の所定領域を貫通するホール81を形成する。この際、エッチング阻止膜67は従来技術のエッチング阻止膜(図3の27)に比べて厚いので、異方性エッチング工程の実施のうち、半導体基板の全体にかけてエッチング均一度及びエッチング選択比が不良であっても、ワードラインパターン62aの間の低濃度不純物領域65a、65bが露出されることを防止することができる。又、第3フォトレジスタパターン80が図1のX軸に沿って誤整合されても、素子分離膜53が露出されることを防止することができる。

【0041】続けて、ホール81によって露出された第1犠牲絶縁膜パターン69a及び層間絶縁膜79を等方性エッチングして、ホール81を拡張させる。これによって、ワードラインパターン62aの下部側壁上に第1上部スペーサー71aより狭い幅の第1犠牲絶縁膜残余物69a'が残られたり、ワードラインパターン62aの下部側壁上のエッチング阻止膜67が露出されたりする。又、図14Bに示されたように、図1のX軸の方向を沿うホール81の最終幅W2は初期幅W1より広がる。ホール81を拡張させるための等方性エッチング工程はHF(hydrofluoric acid)又は緩衝酸化膜エッチング溶液(buffered oxide etchant; BOE)等を使用して実施することが望ましい。

【0042】図15を参照すると、図14の第3フォトレジスタパターン80を除去した後、ホール81の底に露出されたエッチング防止膜67をエッチングして、低濃度不純物領域65a、65bを露出される自己整合されたパッドコンタクトホールを形成する。この際、自己整合されたパッドコンタクトホールによって素子分離膜53が露出されてもエッチング防止膜67に対するエッチング選択比に起因して露出された素子分離膜53が過度にエッチングされることを防止することができる。結果的に、ゲートパターン62aを形成するための写真工程

及び自己整合されたパッドコンタクトホールを形成するための写真工程の時、誤整合が発生しても、自己整合されたパッドコンタクトホールによって露出される低濃度不純物領域65a、65bの面積を極大化させることが容易である。自己整合されたパッドコンタクトホールが形成された結果物の全面に優秀な段差塗布性を有する導電膜83、例えばドーピングされたポリシリコン膜を形成する。

【0043】図16を参照すると、ワードラインパターン62aのキャッピング絶縁膜パターン59aが露出される時まで、導電膜83及び層間絶縁膜79を全面エッチングして、自己整合されたパッドコンタクトホール内に各各隔離された導電性パッド83a、83bを形成する。導電膜83及び層間絶縁膜79を全面エッチングする工程は化学機械的研磨技術を使用して実施されることが望ましい。この際、メモリセル領域A内にDishing現象が発生することを防止することができる。これは図13の前述のように、メモリセル領域A内の層間絶縁膜79の上部面が周辺回路領域B内の層間絶縁膜79の上部面より高いためである。従って、導電性パッド83a、83bを形成した後、ワードライン57aが露出されることを防止することができる。共通ドレイン領域65bと電気的に接続された導電性パッド83bはビットラインパッドに該当し、ソース領域65aと電気的に接続された導電性パッド83aは貯蔵ノードパッドに該当する。

【0044】一方、パッド83a、83b及びワードライン57aの間の寄生キャパシタンスを減少させるためには、第1上部スペーサー71aの下部に犠牲絶縁膜残余物69a'を残存させることが望ましい。これに加えて、導電性パッド83a、83b及びワードライン57aの間の寄生キャパシタンスを減少させるためには、図11で、第1犠牲絶縁膜パターン69aの上部面がワードライン57a及びキャッピング絶縁膜パターン59aの間の界面より高いことが望ましい。

【0045】図17を参照すると、導電性パッド83a、83bが形成された結果物の全面に第1上部層間絶縁膜85を形成する。続けて、示さないが、第1上部層間絶縁膜85をパターンニングして導電性パッド83a、83bのうち、ビットラインパッド83bを露出されるビットラインコンタクトホールを形成し、普通の方法でビットラインを形成する。ビットラインが形成された結果物の全面に第2上部層間絶縁膜87を形成する。第2上部層間絶縁膜87及び第1上部層間絶縁膜85を連続的にパターンニングして貯蔵ノードパッド83aを露出させる貯蔵ノードコンタクトホール89を形成する。この際、図17に示されたように、導電性パッド83a、83bに対して貯蔵ノードコンタクトホール89が誤整合されても、ワードライン57a及び層間絶縁膜79が露出される確率を顕著に減少させることができる。

【0046】次に、図18を参照して、本発明の自己整

合コンタクト構造体を説明する。

【0047】図18を参照すると、半導体基板51上に複数の絶縁された配線パターン60、例えば複数の絶縁されたワードラインパターンが形成される。複数の配線パターン60は相平行に配列され、各々は順次に積層された配線57a及び保護膜パターン59a含む。配線57aはワードラインのような導電性パターンに該当する。配線パターン60及び半導体基板51の間にはゲート絶縁膜のような絶縁体膜55が介在されることもできる。複数の配線パターン60の間の半導体基板51に不純物領域65a、65bが形成される。不純物領域65a、65bの導電性は半導体基板51の導電型とは反対である。

【0048】配線パターン60の側壁はスペーサー75によって覆われる。スペーサー75は配線パターン60の側壁全体(entire sidewall)を覆うエッチング阻止ライナー67とエッチング阻止ライナー67の上部側壁上に形成された上部スペーサー71aを含む。又、スペーサー75はエッチング阻止ライナー67の下部側壁を覆い、上部スペーサー71aより狭い幅を有する犠牲絶縁膜残余物69a'を含むこともできる。犠牲絶縁膜残余物69a'及び半導体基板51の間にはエッチング阻止ライナー67の延長部が介在される。結果的に、スペーサー75の下部幅は上部幅より狭い。従って、配線パターン60の間の半導体基板51の露出面積を極大化させることができる。

【0049】スペーサー75によって覆われた配線パターン60の間の所定領域は不純物領域65a、65bと電氣的に接続された導電性パッド83a、83bによって詰める。

【0050】

【発明の効果】前述のように本発明によると、低濃度不純物領域及びLDD型ソース/ドレイン領域を形成した後、犠牲絶縁膜及び層間絶縁膜を低温で形成することができる。従って、信頼性を有する高性能MOSトランジスタを具現することができる。又、自己整合されたコンタクトホール幅を極大化させるうち、素子分離膜が露出されても、素子分離膜の縁側が凹むことを防止することができる。これによって、ワードラインパターン及び貯蔵ノードコンタクトホールの誤整合余裕度を増加させることができる。これに加えて、本発明によると、活性領域が露出される段階の回数を従来技術に比べて1回減少させることができる。従って、不純物領域に加えられるエッチング損傷が減少するので接合漏洩電流の特性を改善させることができる。

【図面の簡単な説明】

【図1】 一般的なDRAMセルアレイ領域の一部分を示す

レイアウトである。

【図2】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図3】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図4】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図5】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

10 【図6】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図7】 従来技術による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図8】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図9】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図10】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

20 【図11】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図12】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図13】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図14】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図15】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

30 【図16】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図17】 本発明による自己整合コンタクト構造体の形成方法を説明するための断面図である。

【図18】 本発明による自己整合コンタクト構造体の断面図である。

【符号の説明】

51 半導体基板

55 絶縁体膜

57a 配線

40 59a 保護膜パターン

60 配線パターン

65a、65b 不純物領域

67 エッチング阻止ライナー

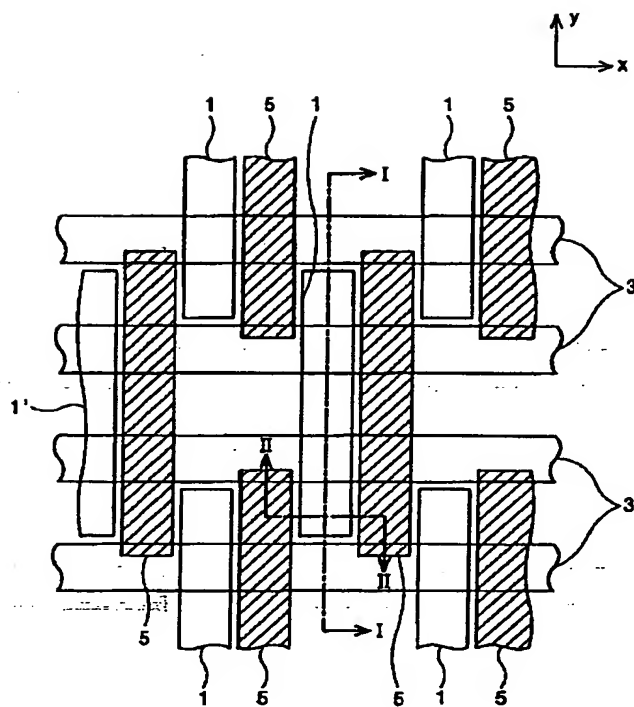
69a' 犠牲絶縁膜残余物

75 スペーサー

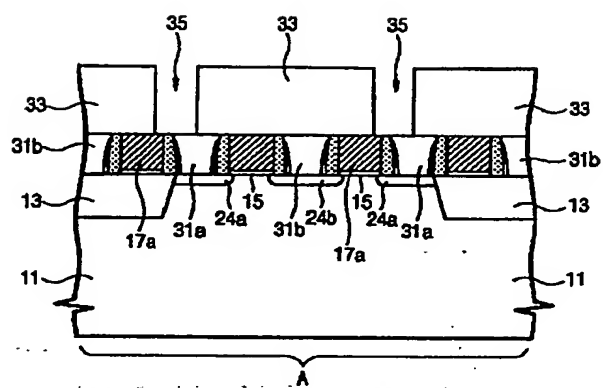
71a 上部スペーサー

83a、83b 導電性パッド

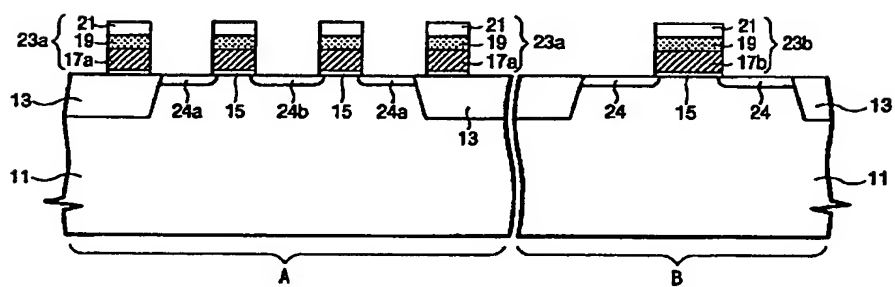
【図1】



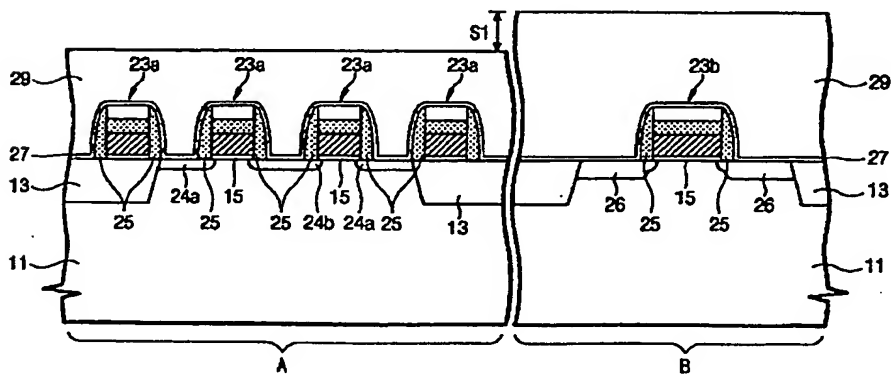
【図7】



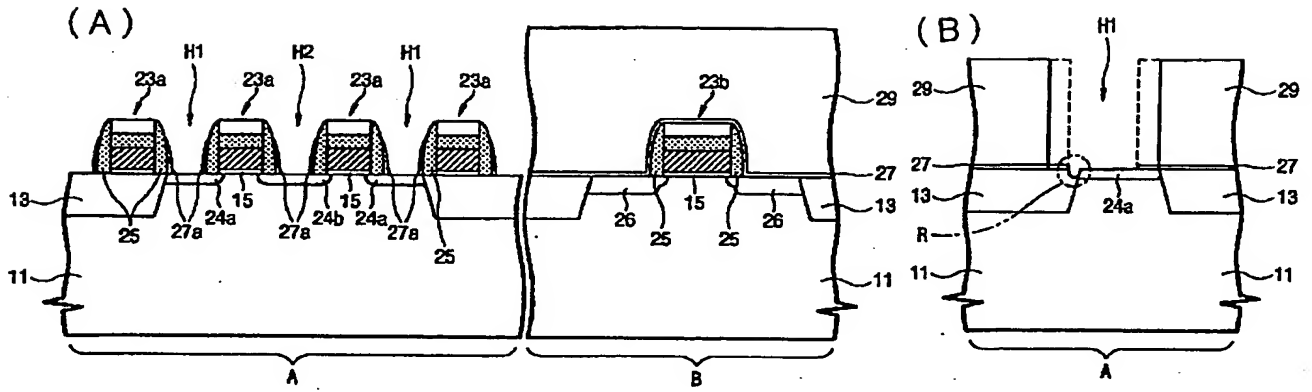
【図2】



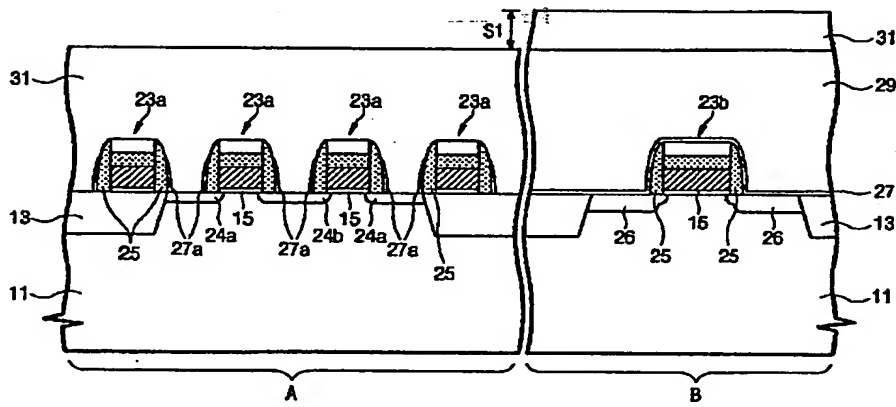
【図3】



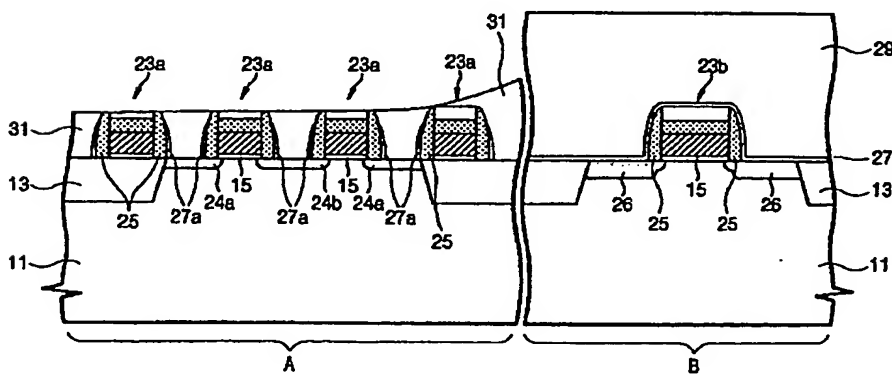
【図4】



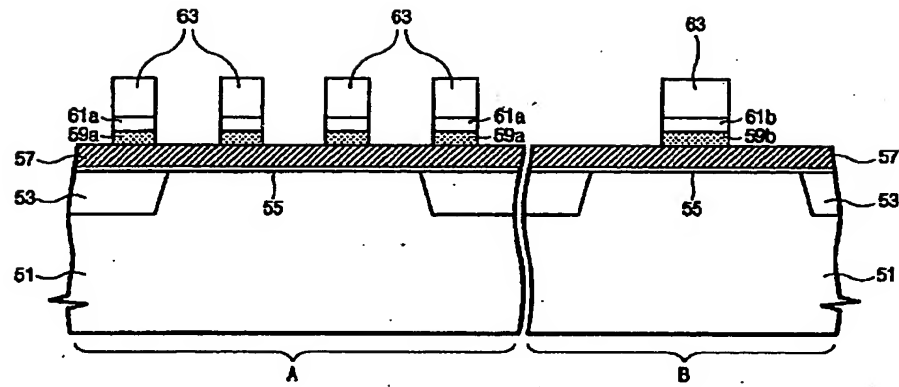
【図5】



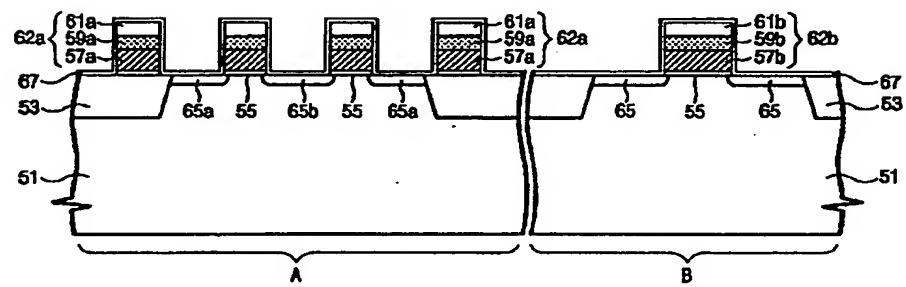
【図6】



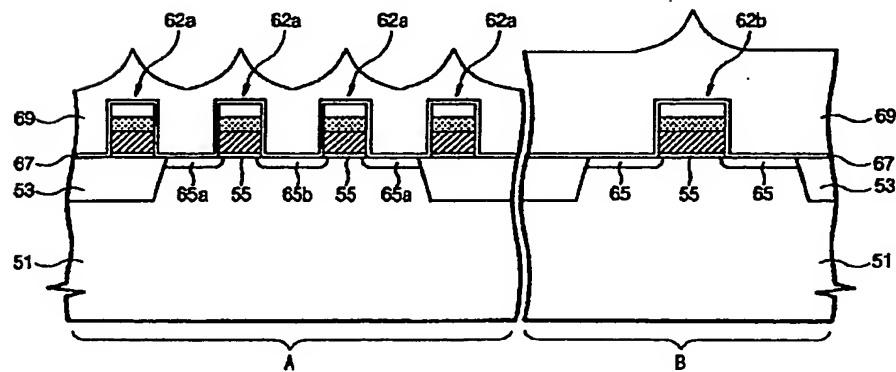
【図8】



【図9】

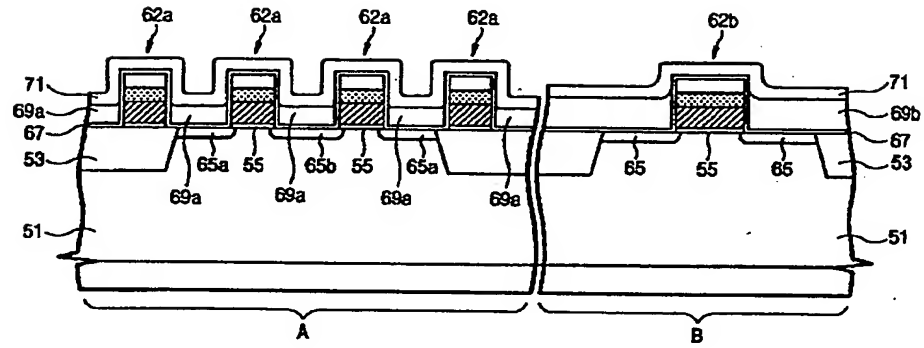


【図10】

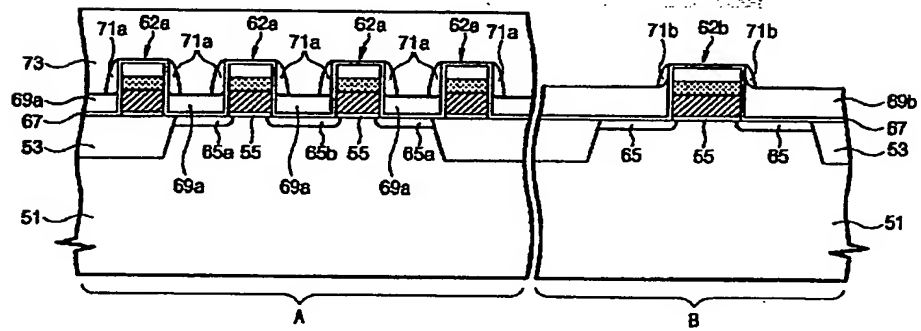




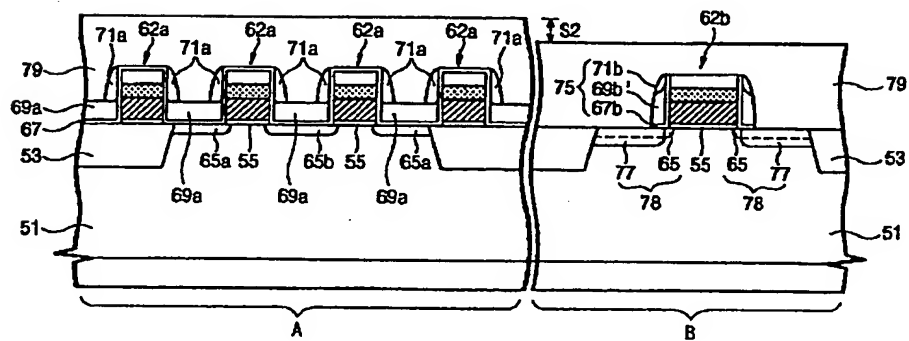
【図11】



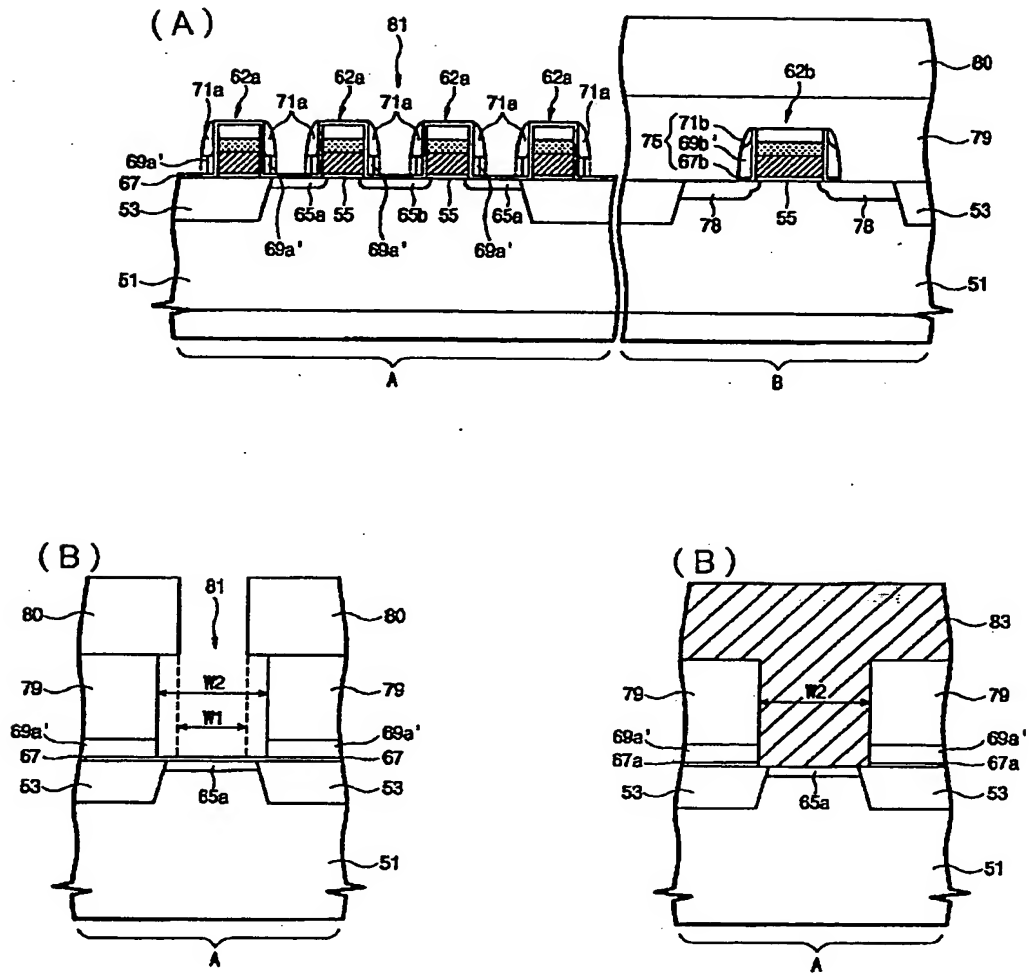
【図12】



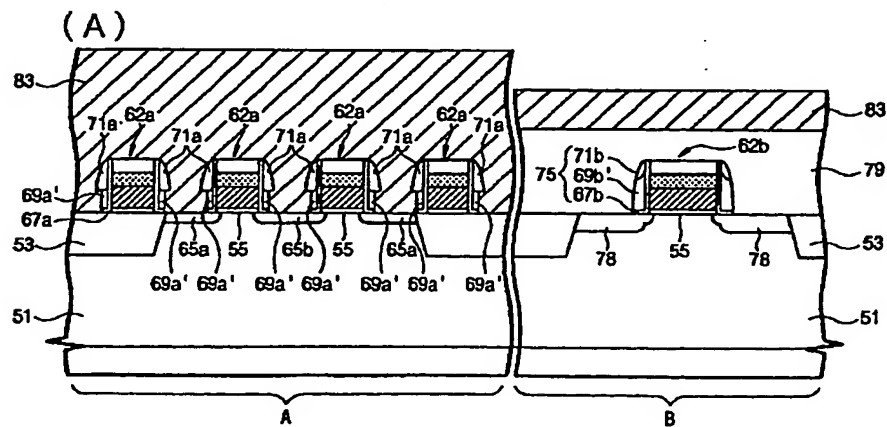
【図13】



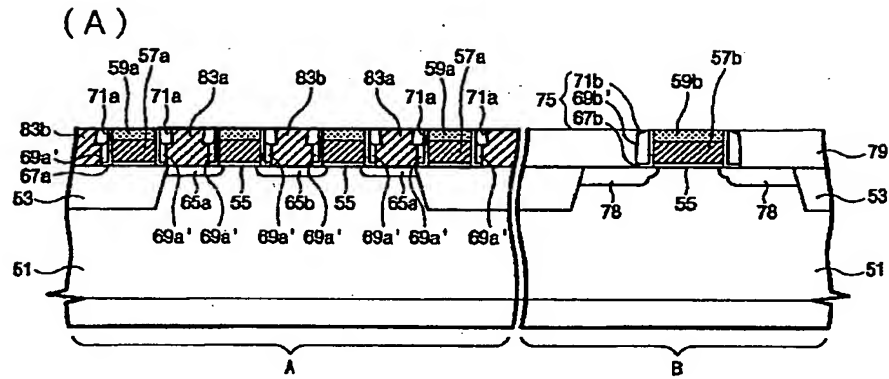
【図14】



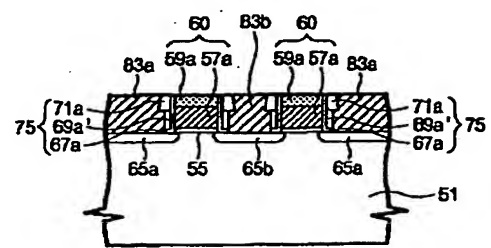
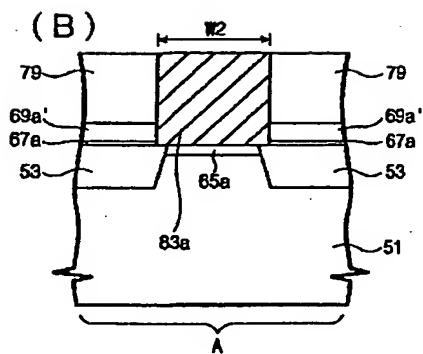
【図15】



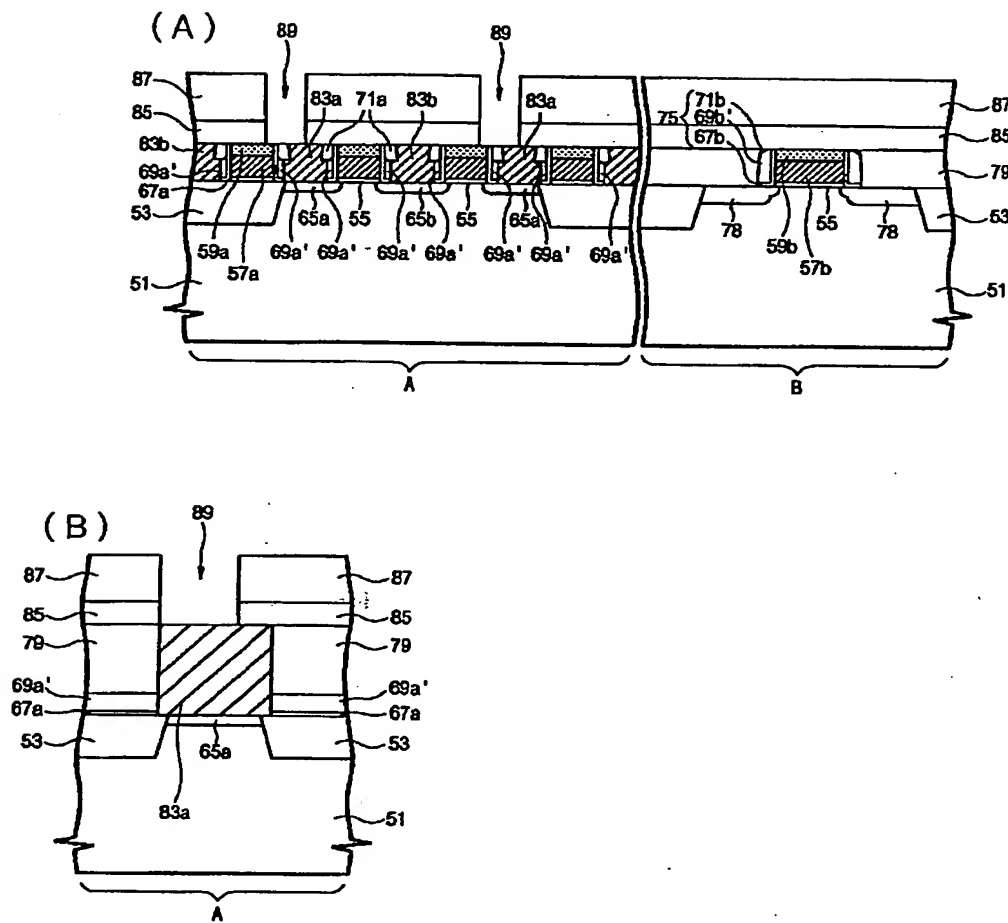
【図16】



【図18】



【図17】



フロントページの続き

(51)Int.Cl.  
H01L 21/8242

識別記号

F I

テーマコード (参考)

